

氏名	木原崇雄
所属機関	大阪工業大学
研究題目	IoT 向け無線受信機のデジタル化を可能にする RF 直接サンプリング A/D 変換器の開発

1. 研究の目的

2020 年までに、約 5000 億個のセンサー機器が無線でインターネットに接続すると予想されており(モノのインターネット、IoT: Internet of Things)、無線通信機能を有する制御 IC に対する低消費電力化と低価格化への要求はこれまで以上に高まっている。現在の CMOS 無線 (RF) 受信機では、RF 信号の処理(信号の増幅、周波数変換、フィルタリング、サンプリング)をアナログ回路で行うことで、低消費電力化を図ってきた。しかし、アナログ回路は対応する無線通信規格や製造プロセスごとに設計しなければならないだけでなく、温度変化や素子ばらつきによる特性変動にも対応する必要があるため、開発費用(時間と人員)増加の大きな要因となっている。したがって、今後も微細化が進む CMOS プロセスを用いて、Bluetooth Low Energy(BLE)など多種多様の無線通信規格が存在する IoT 向け IC を開発する場合、開発費用のさらなる増加は避けられない。

これらの問題は、デジタル RF 受信機により解決できる。大部分の信号処理をデジタル回路で行うことで、必要なアナログ回路を極力少なくし、設計の容易化を図っている。しかし、A/D 変換器(ADC)が RF 信号を直接サンプリングするため消費電力が大きく(約 40 mW)、IoT 用途には適していない。

本研究では、従来の IoT 向けアナログ RF 受信機と同等の消費電力(6 mW)で、2.4 GHz の RF 信号をサンプリングする ADC を開発する。A/D 変換器を、1) 電圧制御発振器(VCO)を用いた構成、2) 低電源電圧(0.55 V)動作、3) 65 nm SOTB(Silicon-on-Thin-Buried Oxide)CMOS プロセスによる作製により、高速動作と低消費電力動作を両立させる。

2. 研究の内容(手法、経過、評価など)

2.1 ADC の構成

本研究で設計した VCO ベース ADC の全体構成を図 1 に示す。バックゲート電圧制御発振器(バックゲート VCO)、サンプリング器、位相エンコーダ、位相微分器で構成されている。アナログ回路はリング VCO とサンプリング器のみであり、微細プロセスにおいて消費電流や面積などの点で有利なデジタル回路で多くのブロックを構成できる。サンプリング器とデジタル回路の最大動作周波数でサンプリング周波数が決まるため、高いサンプリング周波数で動作する。

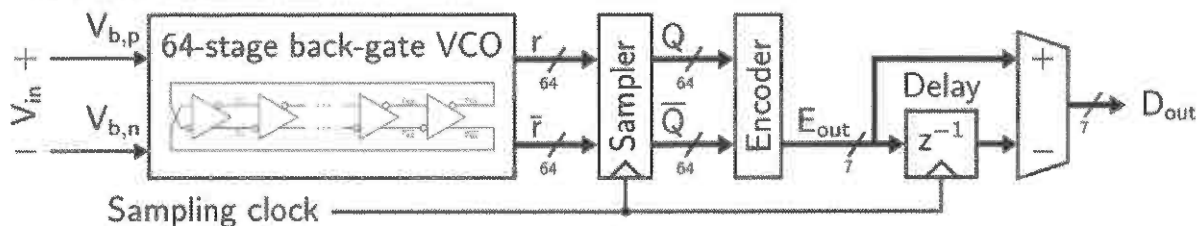


図 1 バックゲート VCO を用いた ADC の構成

2.2 バックゲート VCO の構成

本研究では、差動インバータを用いて差動リング型発振器を構成し、各 MOSFET のバックゲート電圧 ($V_{b,p}$ 、 $V_{b,n}$) から発振周波数を制御するバックゲート VCO とした。VCO に用いた差動インバータの回路図を図 2 に示す。M1 と M2、M3 と M4 で構成された CMOS インバータ 2 つを、クロスカップルした PMOS トランジスタ (M5、M6) と繋ぐことで、疑似差動のインバータを構成した。遅延時間の制御にテール電流源を用いないため、出力電圧 ($V_{out,p}$ 、 $V_{out,n}$) は VDD 電位から GND 電位の間で変化する。これにより、VCO の出力をデジタル回路の出力として扱えるため、サンプリング器にセンスアンプが必要なくなり、ADC の消費電力を削減できる。

2. 研究の内容(続き)(書ききれない場合には、同一形態のページを追加しても結構です)

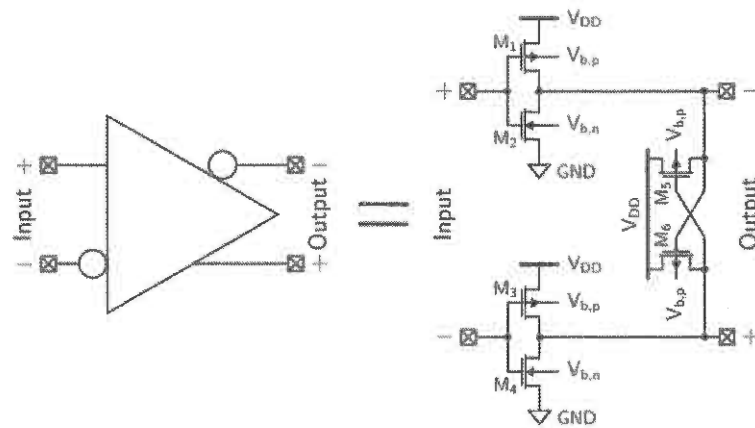


図2 疑似差動のインバータの構成

2.3 ADCのシミュレーション結果

Synopsys社のVCSとCustomSimを用いて図1のADCをシミュレーションした。バックゲートVCOとサンプリング器をSPICEファイルで、位相エンコーダと位相微分器をVerilog-HDLで設計した。電源電圧とサンプリング周波数、オーバーサンプリング比をそれぞれ0.75Vと1.25GHz、64とした。振幅0.375V、周波数1.221MHzの正弦波をADCに入力したときの出力データ(Dout)のスペクトラムを図3に示す。低周波領域で量子化雑音が抑制されている。一方、VCOの発振周波数の非線形性から2次高調波と3次高調波が発生していることがわかる。信号対雑音電力比(SNR)とそれに歪みの大きさを加えたSNDRはそれぞれ70.59dBと26.10dBで、理論式から求まる値(70.67dB、26.35dB)と一致した。これらの結果より、本研究のADCが正しく動作していることがわかる。

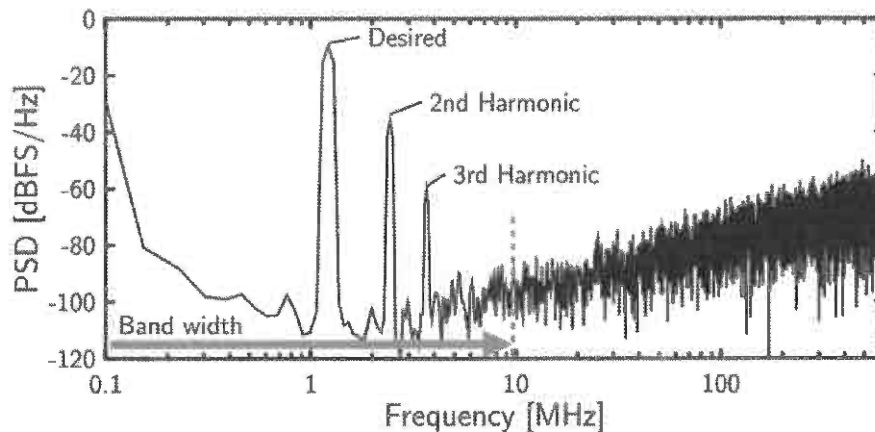


図3 ADCの出力データ(Dout)のスペクトラム

2.4 バックゲートVCOの試作と測定結果

ルネサス社65nm SOTB CMOSプロセスで図1、2のバックゲートVCOをチップ試作した。試作したVCOの回路図とチップ写真を図4に示す。測定器の負荷を駆動するためのCurrent Mode Logicバッファ(CML buffer)を実装している。VCOの大きさは $43 \times 200 \mu\text{m}^2$ であった。

チップを評価基板に実装し、VCOの発振周波数と位相雑音を測定した。測定結果を表1に示す。発振周波数は336MHzから556MHzまで変化した。また、発振周波数は556MHzで1MHzのオフセット周波数で位相雑音は -101.7 dBc/Hz であった。FoM(Figure of Merit)は -158.0 dBc/Hz で、これまで報告されている低電圧動作(1.0V以下)のリングVCOの中で最もよく、ADCのVCOとして十分な性能を得た。

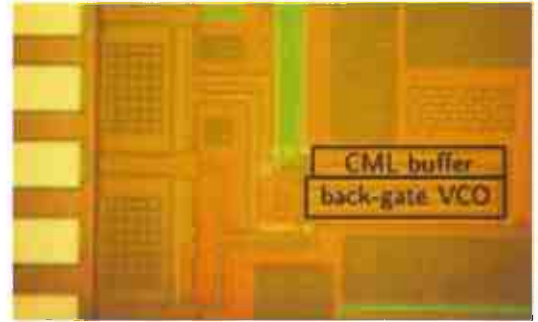
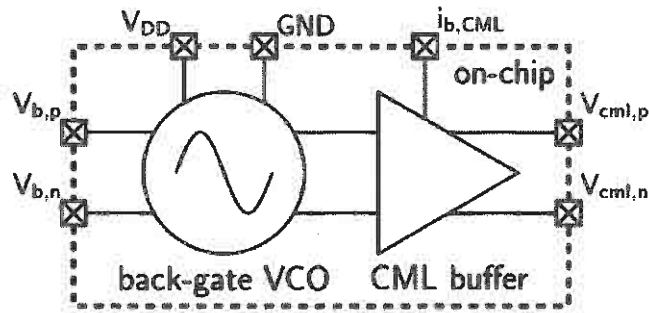


図4 (左)チップ試作したVCOの回路図と(右)その顕微鏡写真

表1 バックゲートVCOの測定結果

V_{DD} [V]	P_{DC} [mW]	$f_{osc,Max}$ [MHz]	Voltage control range [V]	Tuning range [MHz]	Phasenoise at 1MHz offset [dBc/Hz]
0.55	0.72	556	-0.55 ~ 0.55	376.9 ~ 556.0	-101.7

3. 研究の結論、今後の課題

低電源電圧(0.75 V)で高速サンプリング(1.25 GHz)が可能なVCOベースADCの構成を示した。バックゲートVCOを用いることで後段のアンプを不要とし、消費電力を低減できる。このADCをMATLAB上で設計し、シミュレーションした結果、理論値とほぼ同じ70.6 dBのSNR(11ビット相当)を得た。また、バックゲートVCOをチップ試作し、発振周波数範囲と位相雑音を評価した。電源電圧0.55 V、消費電力0.72 mWで377 MHzから556 MHzまで発振し、ADCのVCOとして十分な性能を得た。しかし、VCOの非線形性により高調波歪みが発生し、SNDRが26.1 dBとSNRに比べて大きく劣化していた。

今後は、VCOベースADCの高調波歪みを低減する手法を開発し、SNDRをSNRと同程度まで向上させる。さらに、複数のADCを用いて(時間インターリーブ)2.4 GHzのRF信号をサンプリングする。この時間インターリーブADCをチップ試作し、有効性を実証する。

4. 成果の価値(とくに判りやすく書いて下さい)

4. 1. 社会的価値

- RFIC の低電源電圧(1.0 V 以下)動作を可能にし、消費電力を低減できる。

4. 2. 学術的価値

- 本研究のバックゲート VCO が、低電源電圧(1.0 V 以下)動作可能なリング型 VCO の中で最も優れた特性(FoM=-158.0 dBc/Hz)を得た点。
- 低電源電圧(0.75 V)で 1.2 GHz サンプリング動作の ADC が 70.6 dB の SNR(11 ビット相当)を有するとをシミュレーションで示した点。

4. 3. 成果論文(本研究で得られた論文等を年代順に書いて下さい。未発表のものは公表予定を書いて下さい)

- [1] 吉尾恒洋, 木原崇雄, 吉村勉, “プライオリティエンコーダを用いた VCO A/D 変換器”, 2017 年電子情報通信学会総合大会, 名城大学, 2017 年 3 月.
- [2] 高橋知也, 木原崇雄, 吉村勉, “デジタル RF 受信機における時間インターリーブ A/D 変換器の特性ミスマッチ補正”, 2017 年電子情報通信学会総合大会, 名城大学, 2017 年 3 月.
- [3] T. Yoshio, T. Kihara, T. Yoshimura, “A 0.55 V Back-Gate Controlled Ring VCO for ADCs in 65 nm SOTB CMOS”, *Proc. 2017 IEEE Asia Pacific Microwave Conference (APMC2017)*, Kuala Lumpur, Malaysia, Nov. 2017.
- [4] T. Takahashi, T. Kihara, T. Yoshimura, “Correction of Mismatches in Time-Interleaved A/D Converters for Digital-RF Receivers”, *Proc. 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS2017)*, Batumi, Georgia, Dec. 2017.