

## 1. 研究の目的

本研究では、過剰テスト緩和を指向したパス遅延テスト生成アルゴリズムを提案する。近年の高性能 LSI では、タイミング不良の原因となる遅延故障のテストが重要な課題となっている。しかし、経験的に多くの遅延故障は回路機能に影響しないことが知られており、それらの回路機能に影響しない故障をテストにより検出することは、良品チップを不良チップと判定することになるため過剰なテストといえる。この過剰テストを緩和することにより製造チップにおける良品チップの割合が増加し、歩留まり損失の改善や製造コストの削減が期待できる。本研究では、特定箇所の遅延だけでなく、複数の遅延の累積による回路動作への影響も表現できるパス遅延故障を対象とし、回路動作に影響を与えるテストが必要な故障を検出し、回路動作に影響しない故障をできるだけ検出しないテストパターン生成アルゴリズムの提案を行う。提案手法により生成されたテストパターンを使ってテストを行うことにより、過剰テストの緩和、およびテスト時間の削減が期待できる。

## 2. 研究の内容(手法、経過、評価など。)

テストパターン生成とは、あるテスト対象のパス遅延故障に対して、その故障を検出するための信号値(0, 1)の入力系列(テストパターン)を求めることである。パス遅延故障を検出するための条件は、故障があると仮定するパスの始点に信号遷移(0→1, もしくは1→0)を起こし、かつパスの終点となる外部出力やフリップフロップ(FF)までその遷移を伝搬させるように内部信号に値を割り当てることである。

研究目的でも触れたとおり、故障の中には存在しても回路動作に影響を与えないものもある。この故障を機能的冗長故障と言う。特に遅延故障では経験的に多くの故障が機能的冗長故障であり、これらの機能的冗長故障を検出する過剰テストを回避することは製品歩留まりの向上やテスト時間削減の意味で LSI の製造コスト削減に貢献できる。本研究ではこれ以降、テストすべき故障集合をテスト対象故障集合  $F_t$  といい、機能的冗長故障集合を非テスト対象故障集合  $F_u$  という。

過剰テストを回避するためには、以下の2つの事実に着目することが重要であることが分かった。

- ・ある故障  $f$  を検出するテストパターン  $t$  は、その故障  $f$  だけでなく他の故障も同時に検出する可能性がある。
- ・故障  $f$  を検出するテストパターンは複数存在する。

表 1 各テストパタンの  $F_t, F_u$  の検出例

	$F_t$						$F_u$			
	f1	f2	f3	f4	f5	f6	f7	f8	f9	f10
t1	○	○					○	○	○	○
t2		○		○		○			○	
t3			○	○				○		○
t4		○	○	○		○		○	○	
t5					○		○	○		
t6					○	○			○	○

## 2. 研究の内容(続き)(書ききれない場合には、同一形態のページを追加しても結構です。)

表 1 は各テストパタン  $t_1$  から  $t_6$  がそれぞれ検出する故障を○で表現している。例えばテストパタン  $t_1$  は、故障  $f_1, f_2, f_7, f_8, f_9, f_{10}$  の計 6 個の故障を同時に検出する。また、故障  $f_2$  は 3 つのテストパタン  $t_1, t_2, t_4$  のいずれでも検出される。例えば、テスト対象故障集合  $F_t$  をすべて検出するテストパタン集合は  $T_1=\{t_1, t_3, t_6\}$  や  $T_2=\{t_1, t_4, t_5\}$  のように複数考えられる。パタン集合  $T_1$  は非テスト対象故障を 4 つすべて検出し、 $T_2$  は非テスト対象故障を 3 つ検出する。つまり  $T_1$  より  $T_2$  の方が過剰テストされる故障が 1 つ少ない。このように、非テスト対象故障集合  $F_u$  の検出数を最小にする(過剰テストを抑える)ためには、個々のテストパタンの検出故障を見るのではなく、パタン集合全体でどの故障を検出するのか見なければならない。

本研究では、過剰テスト削減を指向したテストパタン生成を以下の問題として定式化した。入力是对象回路(論理回路)、テスト対象故障集合  $F_t$ 、非テスト対象故障集合  $F_u$  とし、出力は  $F_t$  のうち検出可能な故障を全て検出するパタン集合  $T$  とする。このときの最適化目標として、非テスト対象故障の検出数最小化を行う。この問題に対するアプローチとして、以下の 2 つの戦略に従ってテストパタン集合  $T$  を生成する。

- ・各パタンはできるだけ非対象故障  $F_u$  の検出数が少なく、かつ対象故障  $F_t$  の検出数が多いパタンを生成する。
- ・あるパタンで 1 度検出された故障はそれ以降の尺度計算から除く。

1 つめの戦略は、各パタンが検出する非テスト対象故障の数を減らすだけでなく、テスト対象故障を多く見つけるパタンを生成することで全体で生成されるパタン数を減らし、結果的に非テスト対象故障の検出数削減を行う。2 つめの戦略は、故障はいずれかのパタンで 1 度でも検出されたら全体のパタン集合  $T$  で検出されることに着目し、未検出の非テスト対象故障をできるだけ非検出にするようにパタン生成を行う戦略である。これらの戦略に基づいてテストパタン生成アルゴリズム $J$ を提案しベンチマーク回路に対して評価実験を行った。

一般のテストパタン生成ツールは、できるだけ全体のテストパタン数を減らすために、より多くの故障を見つけるパタンを作っていく。それに対して我々の提案するパタン生成は、上述のとおり非テスト対象故障の検出数が少なく、かつテスト対象故障の検出数が多いパタンを生成する。我々が行った評価では、市販の商用ツールである TetraMax(Synopsys 社)を利用し、TetraMax が生成するパタンと、TetraMax が作るパタンの中で非テスト対象故障の検出数が少なく、かつテスト対象故障の検出数が多いパタンを選択するプログラム(提案手法)で作ったパタンの比較を行った。例えばあるベンチマーク回路 Paulin はテスト対象故障数が 1000、非テスト対象故障数が 1998 個である。Paulin について、TetraMax は 579 パタンを作り非テスト対象故障 1998 の中で 936 個を検出する。それに対して我々の提案法は、601 パタンと多少パタン数は増えるものの、非テスト対象故障の検出数は 889 個に抑えることができる。つまり 47 個の非テスト対象故障の検出を抑えたことになる。その他のいくつかのベンチマーク回路に対しても同じように非テスト対象故障の検出を抑えられるというデータが出ており、提案手法の有効性が分かった。今後はベンチマーク回路での実験評価だけでなく、実用規模の回路でどれくらい効果があるのか評価を行う必要がある。

### 3 研究の結論、今後の課題

本研究では、非テスト対象故障の検出数を抑えることで過剰テストを緩和するパス遅延テスト生成アルゴリズムを提案した。ベンチマーク回路では、一般的なテストパターン生成ツールである商用の TetraMax と比較して、提案手法で生成したパターンは非テスト対象故障の検出数を抑えられることが分かった。今回の研究では、TetraMax で生成したパターンの中から非テスト対象故障の検出数が少なく、かつテスト対象故障の検出数が多いパターンを選択することで過剰テストを緩和するパターン生成を行ったが、そもそも非テスト対象故障を検出しないパターン自体の生成を考えることもできる。今後の課題としては、テスト対象故障に対してパターンを生成する際に、非テスト対象故障を検出しないパターンを作る方法が考えられる。

#### 4. 成果の価値(とくに判りやすく書いてください。)

##### 4. 1. 社会的価値

半導体技術の進歩により LSI はますます高性能化する中、製造チップの信頼性を保証するためのテストにかかるコストはチップの製造コストを押し上げている[4]。申請者が提案する手法により過剰テストを緩和することで、チップの製造コストを下げることができ、製品の低価格化につながる。また、テストコストを下げられる分、信頼性を高める機能を付加できるなど、高信頼性システムの実現にも有効だと考える。

[4] International Technology Roadmap for Semiconductors (ITRS) 2008, <http://www.itrs.net/home.html>

##### 4. 2. 学術的価値

本研究は、近年注目されている許容故障[5]のテストにも応用できると考える。許容故障の概念は、例えば画像処理回路など、たとえ故障の影響が回路動作や出力に影響したとしても、人間が気づかない障害にしかならない故障のことをいう。回路に許容故障が存在してもシステムは正常と見なせることから、非許容故障に対してテストを保証すれば良い。この観点から、非許容故障のテストを保証する回路設計法、テストパターン生成法に応用できる。

[5] D. Shin and S. Gupta, "A re-design technique for datapath modules in error tolerant applications," Proc. IEEE the 17th Asian Test Symposium, pp. 431-437. 2008.

##### 4. 3. 成果論文(本研究で得られた論文等を年代順に書いてください。未発表のものは公表予定を書いてください。)

[1] 吉川祐樹, 丸谷瞬, 市原英行, 井上智生, "ロバストテスト可能データパスを指向した高位合成におけるバインディング法," 信学技報, Vol. 110, No. 106, pp. 13-18, 2010年6月.

[2] 大林尚生, "ブロードサイドテストにおけるパス遅延故障の過剰テスト削減を指向したテスト生成"(修士論文)

[3] Yuki Yoshikawa, Hideyuki Ichihara and Tomoo Inoue, "A Binding Algorithm in High-Level Synthesis for Path Delay Testability," (国際会議投稿予定)