

1. 氏名	飯塚 哲也
2. 所属機関	東京大学大学院 工学系研究科附属システムデザイン研究センター
3. 研究題目	誘電体製導波路を用いた高速・高信頼有線通信システムの研究開発
4. 研究の目的:	<p>近年トランジスタの動作速度は大きく向上し、ミリ波帯信号による広い帯域を活用した高速通信の研究が主に無線通信分野において活発であるが、空間中の大きな信号電力の減衰のため最大でも数メートル程度の近距離向け応用が主である。速度を維持しつつ低コストで通信距離を拡大する方策として、ポリマーやプラスチックと言った安価な誘電体材料を導波路として使用し有線通信を行う方式が近年提案され、研究の幅を広げている。近年の高速な集積回路技術によってミリ波帯での電気信号の制御が可能となり、高い通信速度が実現できる点と同時に主にその軽量性と低いコストから特に車載や航空機・人工衛星への搭載と言った応用範囲で高い注目を浴びている。一般的な金属配線による信号伝送と異なり、導波路上を伝搬するミリ波帯信号はある一定の染み出しを持ち受信電力の低下を引き起こす。</p> <p>本研究では誘電体製導波路を用いた通信システムにおける新規な実装技術・回路方式について提案を行い、高い通信速度を達成する方式を検討する。信号の導波路への閉じ込め効果を高めるため 140GHz 帯のキャリア周波数を用いる方式を提案し、送受信回路に必要な構成要素である、電圧制御発振回路(VCO)、位同期回路(PLL)、電力増幅回路(PA)、変調回路(MOD)等の要素回路技術の提案、実証を行う。さらに、伝搬信号の減衰を抑えるためオンチップアンテナを備えた送受信回路と導波路との実装方式を検討し、アンテナ裏面シリコン基板除去のためのプロセス技術の開発を行う。</p>
5. 研究の内容(手法、経過、評価など。書ききれない場合には、同一様式のページを追加してください。):	<p>本研究では目的達成に向けて主に下記の 5 課題を設定し、各項目の研究・開発を行う。</p> <ol style="list-style-type: none"> 1, 周波数制御のための低位相雑音フラクショナル N 型位同期回路(PLL) <p>高精度な周波数制御が行えるフラクショナル型 PLL において新規なループ構造を用いることで、低雑音・低帯プリアストーンを既存手法と比較してよりコンパクトな形で実現するフラクショナル N 型 PLL を提案する。</p> 2, 140GHz 帯送信回路向け電力増幅回路(PA) <p>通信応用における送信機では、変調後の信号の電力を増幅するための回路が必須である。オンチップ電力合成回路を用いて高い出力電力を持つ電力増幅回路方式について検討を行い出力電力の限界について考察を行う。対称構造を持つオンチップバランによる電力合成回路を提案し、4 並列電力増幅回路を実証する。</p> 3, 送信回路用 ON-OFF Keying(OOK)変調回路 <p>送受信機における変調方式として低消費電力応用に適した ON-OFF 変調方式を採用し、140GHz のミリ波帯キャリア周波数において低損失かつ高い ON-OFF 比を達成する OOK 変調器を提案し、その性能を実証する。</p> 4, 140GHz 帯キャリア周波数生成のための電圧制御発振回路(VCO) <p>SiGe BiCMOS プロセス技術を利用し、140GHz 帯のキャリア周波数を生成する電圧制御発振器(VCO)の設計を行う。伝送線路によるマッチング回路を用いた低雑音・高効率な方式を提案し、その性能を実証する。</p> 5, 送受信回路用オンチップアンテナと誘電体導波路の低損失実装方式 <p>送受信回路におけるオンチップアンテナと誘電体導波路の結合部において、チップ裏面の基板を除去することで損失を抑制できることをシミュレーションにより示す。また実際にオンチップアンテナを実装したチップを作成し裏面シリコン基板の除去を行うプロセス技術を開発・実証する。</p>

6. 研究の成果と結論、今後の課題：

1, フラクショナル N 型 PLL において大きなノイズが生じる一因として、フィードバックにおけるノイズ増幅が挙げられる。本研究では入力側で生じたノイズが増幅されない二重フィードバック型 PLL を提案した。ミキサに基づいたフィードバック経路に加えて分周器(MMD)に基づいたフィードバック経路を設けることで高精度な周波数制御を可能としている。図 1 に試作・実証した提案 PLL 回路のチップ写真を示し、図 2 に位相雑音の測定結果を示す。ノイズ増幅が生じずに、低い位相雑音性能が達成されていることが分かる。

2, 140GHz 帯送信回路向け PA に関して、高出力パワーを達成するため、図 3 に示すような対称型のオンチップ電力合成回路を提案した。検討した設計最適化手法に基づき 4 並列電力増幅回路を設計し、チップ試作を通じた実測による評価を行った。2 並列 PA では 5.7 dB の利得と 6.0dBm の OP1dB を持つことを実測にて確認した。4 並列 PA では、シミュレーションにて 14dBm の飽和電力を持つことを確認した。

3, 図 4 に示すスイッチ型ステージと増幅回路型ステージの二つから構成される OOK 変調回路を提案した。提案する構成は様々な目的に対して最適な選択をするための設計の自由度を高くできる点で優れている。提案した OOK 変調回路を 65nm CMOS プロセスで試作し、11Gbps の OOK 変調が実現可能であることを示した。

4, VCO 回路の設計において、伝送線路によるステージ間整合の最適化手法を提案し、その実証のために 150 GHz 発振器の設計を行った。図 5 に示す様に提案手法を BiCMOS 130nm プロセス技術により実装した。シミュレーション結果から、提案手法により従来手法と比較して雑音性能と電力効率が向上できることを示した。

5, オンチップアンテナと誘電体導波路の結合部において、基板除去の有無によるアンテナ部分の損失の低減効果をシミュレーションにより検証し、基板除去により 3.5dB 程度の利得向上が確認できた。更に実測評価を目的とし、必要となる回路とアンテナをチップ上に試作し、アンテナ裏面基板除去を行うためのプロセス技術を開発した。基板除去後のアンテナチップの写真を図 6 に示す。差動信号への変換用バランとアンテナが実装されており、アンテナ裏面の基板が選択的に除去されていることが分かる。

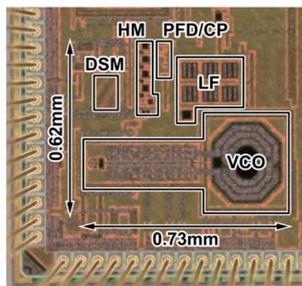


図 1 提案 PLL 回路のチップ写真

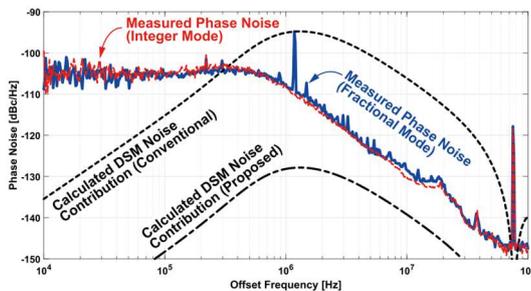


図 2 提案 PLL 回路の位相雑音

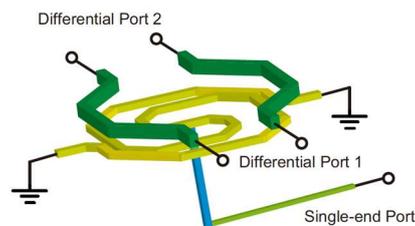


図 3 対称オンチップバランの概形

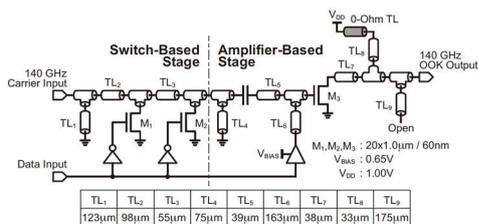


図 4 提案 OOK 変調器の回路図

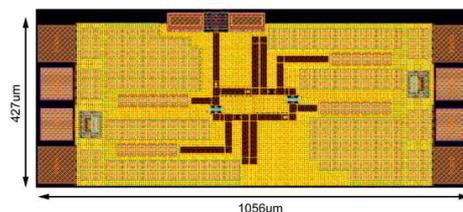


図 5 提案 150GHz 発振器のチップレイアウト

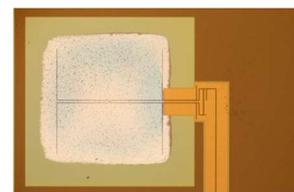


図 6 裏面シリコン基板を除去したアンテナ写真

7. 成果の価値

7.1_学術的価値:

本研究を通じて、提案する通信方式に関する各種要素回路の性能向上を達成する新規提案技術を複数実証できた。特に PLL 回路における低雑音化を達成する新規フィードバック構造を理論および実チップ試作の両面から検証できたことは学術的価値が高い。140GHz 帯の発振器、増幅器、変調回路においてそれぞれ新規構造を実証できたことは今後の送受信回路の性能向上に不可欠の成果でありさらなる応用・進展が期待される。さらに、微細加工技術を応用したシリコン基板除去による損失低減技術を実現し、集積回路技術と組み合わせる事ができた。同様の加工技術の応用先は信号通信のみに限定されるものではなく、磁界検出プローブやインダクタンス素子としてのコイル性能の向上など、広く関連分野へのさらなる展開が想定され、学術的に見ても大変有用である。

7.2_社会的価値:

本研究で着目する誘電体導波路を用いた通信方式は主にその軽量性と低いコストから特に自動車や航空機・人工衛星への搭載と言った移動体に関わる応用分野での活用が期待されるが、システム全体を実現するために必要な個々の技術は車載レーダー、次世代無線通信などそれぞれ様々な応用範囲を持っている。PLL 回路の雑音低減技術は Beyond 5G、6G と言った次世代の広帯域通信技術において常に求められるものであり、今回提案した技術は本学を通じて国内・国際特許出願を行うなど実用化も見据えた成果となっている。また、140GHz 帯のレーダー・通信技術は近年実用化が大きく進展しており、本研究で提案した同帯域の要素回路技術の今後の応用も期待できる。以上より、本研究で得られた成果が将来の社会生活を豊かにするために資するものと期待される。

7.3_研究成果:

「研究論文(原著)」

1. Daisuke Yamazaki, Yoshitaka Otsuki, Takafumi Hara, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, "11-Gb/s 140-GHz OOK Modulator with 24.6dB Isolation utilizing Cascaded Switch and Amplifier Based Stages in 65-nm Bulk CMOS," IET Circuits, Devices & Systems, vol. 14, no 3, pp. 322 – 326, May 2020.
2. Masaru Osada, Zule Xu and Tetsuya Iizuka, "A 3.2-to-3.8 GHz Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -65 dBc In-Band Fractional Spur," IEEE Solid-State Circuits Letters, vol. 3, pp. 534 – 537, Nov. 2020.

「国際会議発表」

3. Masaru Osada, Zule Xu and Tetsuya Iizuka, "A 3.2-to-3.8GHz Calibration-Free Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -66dBc Worst-Case In-Band Fractional Spur," in IEEE Symposium on VLSI Circuits Digest of Technical Papers, Jun. 2020.
4. Daisuke Yamazaki, Takamichi Horikawa and Tetsuya Iizuka, "A 140-GHz 14-dBm Power Amplifier using Power Combiner based on Symmetric Balun in 65-nm Bulk CMOS," in Proceedings of IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 93 – 95, Sep. 2020.

・「特許」

5. 飯塚 哲也, 徐 祖楽, 長田 将, "フラクショナル位相同期回路および位相同期回路装置," 特願 2019-192731, 出願日 2019 年 10 月 23 日.
6. 飯塚 哲也, 徐 祖楽, 長田 将, "フラクショナル位相同期回路および位相同期回路装置," 国際出願番号 PCT/JP2020/026776, 出願日 2020 年 7 月 9 日.