

高速・高効率通信システム向けアナログ集積回路技術の研究と 新物性デバイスへの展開

東京大学大学院工学系研究科附属システムデザイン研究センター 准教授 飯塚 哲也

近年の微細集積回路技術においてはミリ波帯(30~300GHz)の周波数の信号を制御することが可能となり、それにより得られる広い周波数帯域を利用した高速通信技術が拡がりを見せている。これらの技術は特に無線通信分野において広く研究がなされており、プラスチックなどの誘電体材料を導波路として利用した高速有線通信へも応用可能である。本研究では、これらの応用分野に向けた高速・高精度アナログ集積回路に関して新規技術を複数提案し、理論・実測に基づく設計および実装手法の最適化を通して高周波集積回路技術にまつわる学術基盤を確立すると同時に実用化への道を拓いてきた。

第一に、次世代の高速通信技術への応用を想定し、アナログ集積回路ブロックの高精度化・高効率化を進めてきた。特に、アナログ-デジタル変換回路(ADC)において、これまでに構築してきた回路解析理論を集約することで、広い応用範囲を持つADCの設計最適化手法を体系化することに成功した。図1に示す様に、極めて高い性能を達成できるだけでなく、ADCの歪み性能に関する理論解析結果は実測結果と高い整合性を示しており、予測性の高い最適設計手法を確立できている[1]。

さらに、次世代通信規格への適用が想定される140GHz帯のミリ波集積回路技術における、伝送線路を用いた新規なインピーダンスマッチングと位相調整手法に基づく発振回路を実現した事に加え、複数のフィードバック構造を活用し、帰還による雑音増幅を原理的に避ける新しい位相同期回路(PLL)アーキテクチャを提案し、複雑な補正の必要性を排しながら極めて低雑音の信号生成を実現する回路技術を複数達成している。図2に示す様に、従来のPLLでは避けられなかった雑音の増幅効果を避ける新しいループ構造である、高調波ミキサを用いた二重フィードバック構造を提案し、さらにフィードバック経路にもう一つのPLL構造を導入し雑音を抑制することで、位相雑音のさらなる低減を可能とした[2]。

また、ミリ波集積回路技術と応用物理学との融合により、近年注目を浴びているトポロジカル物性を集積回路上で再現しその状態を電氣的に制御する事に成功するなど分野横断的な研究も推進している[3]。ミリ波集積回路チップ上でトポロジカル状態の再現と制御を実証したことは学術的にもインパクトが大きく、今後は次世代無線通信における高効率のビームフォーミングやフィルタ処理、さらには将来的に量子コンピューティングへの応用等も想定し研究を推進している。

助成研究を通して培ったこれらの高周波集積回路技術を宇宙分野へと応用し、深宇宙探査用衛星向けの無線受信機においてノイズキャンセル技術を用いた新規アーキテクチャも実証している。特に放射線耐性の高い特殊な半導体プロセスにおいて提案アーキテクチ

の有効性を示すとともに、温度変動に対する補正なども含めて衛星向け応用として十分な感度を達成し、その可用性を明らかにした。

さらに、伝搬に際して熱を発生せず次世代の情報担体として注目されるスピン波との融合による革新的高効率 AI コンピューティングの実現を目的とし、これまでの無線送受信機に関する研究成果を応用して、微弱なスピン波を捉えるための集積化インターフェース回路を提案・実証している。

【実用化が期待される分野】

Beyond 5G/6G 等の次世代高速通信向け送受信機や IoT デバイスなど高精度・高効率が必要されるセンサフロントエンド、高効率 AI コンピューティング・エッジコンピューティングなどへの応用を通して、より高度なデジタル社会の実現に寄与する。

【参考文献】

- [1] **T. Iizuka**, R. Takenaka, H. Xu, and A. Abidi, "Systematic Equation-Based Design of a 10-Bit, 500-MS/s Single-Channel SAR A/D Converter with 2-GHz Resolution Bandwidth," *IEEE OJ-SSCS*, vol. 4, pp. 147 - 162, 2024. (Invited Paper)
- [2] M. Osada, Z. Xu, Z. Yang, and **T. Iizuka**, "A Fractional-N Ring PLL Using Harmonic-Mixer-Based Dual Feedback and Split-Feedback Frequency Division with Phase-Domain Filtering," *IEEE JSSC*, vol. 59, no. 7, pp. 2171 - 2184, Jul. 2024.
- [3] **T. Iizuka**, H. Yuan, Y. Mita, A. Higo, S. Yasunaga, and M. Ezawa, "Experimental Demonstration of Position-Controllable Topological Interface States in High-Frequency Kitaev Topological Integrated Circuits," *Commun. Phys.* 6, 279, 2023.

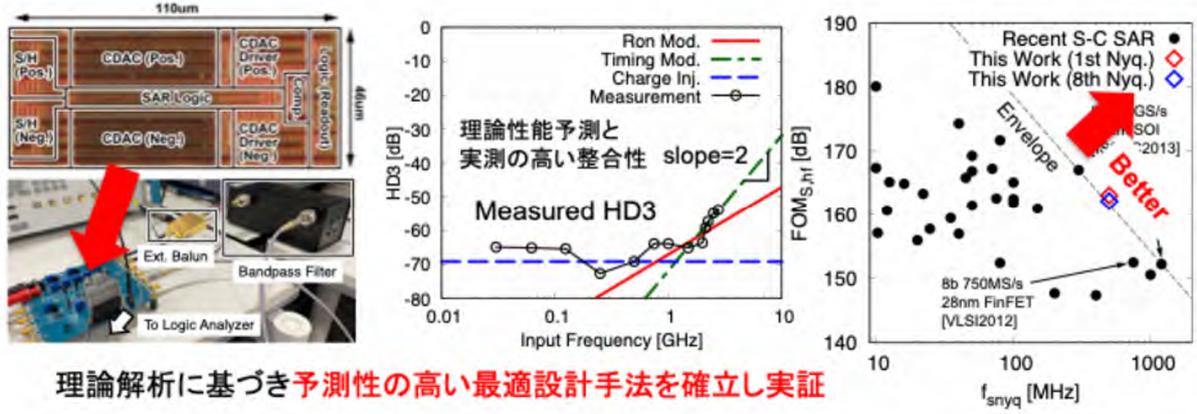


図 1 高速アナログ-デジタル変換回路の設計最適化手法の体系化とその実証結果

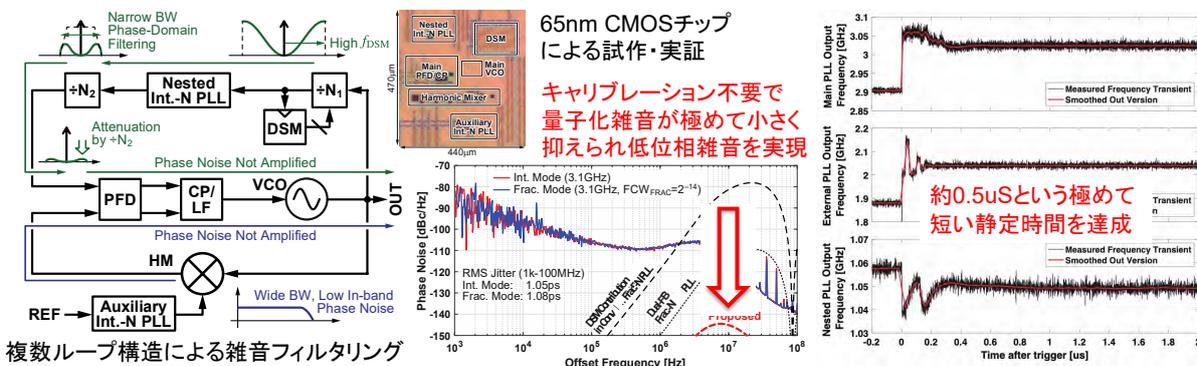


図 2 補正不要なマルチループ構造を用いた位相同期回路技術とその実証結果