

1. 氏名	富岡 克広
2. 所属機関	北海道大学 大学院情報科学研究院 量子集積エレクトロニクス研究センター
3. 研究題目	高品質狭ギャップ化合物半導体ナノワイヤ材料の創生と省エネルギー電子素子応用
4. 研究の目的:	<p>化合物半導体材料のうち、Sb 化合物からなる狭ギャップ半導体は、電子・正孔の移動度が高く次世代電子スイッチ素子のチャネル材料として有望であるが、高品質の半導体結晶成長技術が確立されていないため、良好な電子素子の実用化に至っていない。本研究では、筆者がこれまでに確立した半導体ナノワイヤ作製技術を応用することで、原子層レベルで平坦で高品質な狭ギャップ化合物半導体からなるナノワイヤ材料を創生する技術を開拓し、これまでに実現されていなかった狭ギャップ半導体ナノワイヤトランジスタの開発と高性能化を進める。本研究成果によって、化合物半導体ナノワイヤトランジスタからなる論理演算回路を従来のシリコンプラットフォーム上に集積することができ、現行の集積回路の消費電力を 7 割以上削減できる基本素子の礎を築くことができる。さらに、狭ギャップ半導体に関する高品質結晶成長技術の確立は、狭ギャップ半導体材料を主体とした、光電変換素子、高周波発振素子の超高性能化を図ることができるだけでなく、マヨラナフェルミオンの制御やスピントランジスタの創出を可能とする。</p>
5. 研究の内容(手法、経過、評価など。書ききれない場合には、同一様式のページを追加してください。):	<p>高品質ナローギャップ半導体を電子素子として応用することで、図 1 に示すような Si-集積回路プラットフォーム上で InGaSb または GaSb と InAs ナノワイヤからなる CMOS 回路を縦型トランジスタ集積構造で実現することができる。さらに、InGaSb 高品質ナノワイヤからなるナノチューブ材料の創成も可能とするだけでなく、高品質 Sb 結晶は、マヨラナフェルミオンなどの制御といった高品質結晶材料に起因した素粒子の制御・スピン制御に立脚したスピノロジック回路への発展を促す。これらの全体計画のうち、成長技術の確立に必要な結晶成長技術の確立と低電圧電子素子応用として、Sb 化合物半導体ナノワイヤを新材料とした縦型 FET を作製する。</p> <p>本研究は、申請者がこれまでに確立した半導体ナノワイヤ構造からなる III-V 族化合物半導体をシリコン上に直接成長する独自の結晶成長手法を用いて、シリコンプラットフォーム上に垂直に林立した半導体ナノワイヤ構造を Sb 系材料で実現した。以下の 3 つの研究項目・成果について記す。(i) 高品質 InSb 膜、GaSb 膜の結晶成長技術の確立、(ii) 半導体ナノワイヤ構造をテンプレートとした高品質 InGaSb, GaSb 材料によるコア・シェルナノワイヤの選択成長技術の確立、(iii) InGaAs/GaSb コアシェルナノワイヤトンネル FET の試作。</p> <p><b>(i) 高品質 InSb, GaSb 薄膜の結晶成長技術の確立</b></p> <p>本研究項目ではナローギャップ半導体である GaSb, InGaSb 薄膜をナノワイヤ成長に応用するために、GaSb 薄膜の結晶成長技術の確立に取り組んだ。一般的に、GaSb や InGaSb の最適成長温度は 400°C前後であり、トリメチルアンチモン(TMSb)などの従来からある有機金属 Sb 材料では、この成長温度範囲の分解効率が著しく低く高品質薄膜を成膜することは困難であり、400°C 以下の低温成長で分解効率が高い有機金属材料が必要であった。本研究では、近年新しく合成・実用化された有機金属材料：TDMASb 原料を導入することで、低温で GaSb, InGaSb 薄膜の結晶成長を試みた。有機金属気相成長(MOVPE)法による薄膜形成技術を確認することで、Sb/As 化合物からなるコアシェルナノワイヤ成長技術へと展開できる知見を得た。新しい有機金属原料を導入することで、250 - 500°C の低温領域における GaSb, InGaSb 薄膜成長が可能になっただけでなく、これらの低温薄膜成長における最低で 200°Cの成長温度における低温バッファ層技術を導入できるようになった。これらの成長温度の低温化が可能になったことで、GaSb, InGaSb バッファ層による成長薄膜の高品質化を達成した。</p>

5 続き-研究の内容(手法、経過、評価など。書ききれない場合には、同一様式のページを追加してください。):

(ii) InGaAs/GaSb コアシェルナノワイヤの選択成長

研究項目(i)で得られた知見を基に、Si(111)基板上の InGaAs/GaSb コアシェルナノワイヤ構造、InAs/GaSb コアシェルナノワイヤ成長を試みた。図1(a)に示すように、MOVPE 選択成長法によって、(111)B 極性表面を Si(111)基板に形成し、表面と垂直方向に林立した InGaAs ナノワイヤを MOVPE 選択成長法によって異種集積した<sup>1)</sup>【図1(a)上段】。ここでは、気相中の In 組成を 75%とし、XRD 測定によって、固相中の In 組成が 80%であることを確認した。ついで、新規購入した TDMASb と TMGa を成長原料とし、GaSb シェル層を形成した【図1(a)下段】。成長条件は、研究項目(i)で最適化した条件を基に、TMGa 原料を  $2 \times 10^{-6}$  atm, TDMASb は  $2 \times 10^{-4}$  atm とした。また、p 型ドーパントとして DEZn を供給した。成長温度( $T_g$ )は、450 - 500°C で変化させ、成長時間は、5 分とした。図1(b) - (c)に成長結果を示す。図より InGaAs ナノワイヤ側壁に GaSb シェル層が形成されるが、 $T_g = 450, 480^\circ\text{C}$ では、InGaAs ナノワイヤと同様に六角柱ファセットを

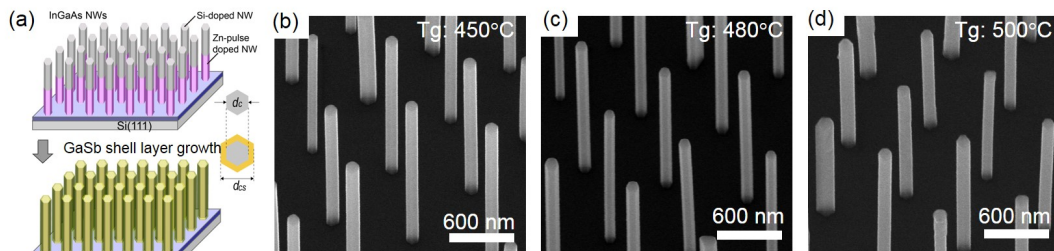


図1. (a) Si(111)基板上の InGaAs/GaSb コアシェルナノワイヤ選択成長の模式図と成長結果: (b) 450°C, (c) 480°C, (d) 500°C

有しているが、 $T_g = 500^\circ\text{C}$ では、側壁のファセットが消失し、不均一の p-GaSb シェルが形成されていることが分かる。成長したコアシェルナノワイヤの直径は、 $T_g = 450, 480, 500^\circ\text{C}$ でそれぞれ 100 nm, 80 nm, 100 nm であり、コアの InGaAs ナノワイヤの直径は 70 nm であるため p-GaSb シェル厚はそれぞれ 15, 2.5, 15 nm であることが分かる。成長温度  $T_g = 450, 500^\circ\text{C}$ のシェル厚は同程度であるが、 $T_g = 500^\circ\text{C}$ の場合は、{-110} ファセット面の GaSb シェルのラフネスが大きく、 $T_g = 450^\circ\text{C}$ では、表面が兵湾であることが分かる。これらから、 $T_g = 450^\circ\text{C}$ は選択成長の横方向成長モードによるシェル成長、 $T_g = 500^\circ\text{C}$ におけるシェル成長は、GaSb の表面拡散長が短く、Ga, Sb の表面吸着が促進され、ナノワイヤ側壁での異常成長を生じると考えられる。 $T_g = 480^\circ\text{C}$ における GaSb 成長は、横方向成長とりも長軸方向の成長が促進される。以上から、シェル成長の最適成長温度は  $T_g = 450^\circ\text{C}$ であることが示された。

(iv) InGaAs/GaSb コアシェルナノワイヤトンネル FET の試作

次いで、研究項目(ii)で作製した n-Si 上の n-InGaAs/p-GaSb コアシェルナノワイヤについて、図2(a)に示す縦型サラウンディングゲート構造を作製した。図2(b)に今回作製したコアシェルナノワイヤトンネル FET の伝達特性を示す。図からドレイン電圧が逆バイアス条件において、n-InGaAs/p-GaSb 界面に生じるトンネルリーク電流がゲート変調を受けるトンネル FET 素子として動作することが分かる。オフリーク電流は、 $10^{-10}$  A/ $\mu\text{m}$ と通常の Si MOSFET よりも低く、オン電流は  $5.5 \times 10^{-6}$  A/ $\mu\text{m}$ であった。また、DIBL はおよそ 16 mV/V と従来の MOSFET よりも低いことが分かる。これは、InGaAs/GaSb トンネル接合幅が薄く短チャネル効果を抑制できる効果を示している。サブスレッショルド係数(SS)は、 $V_{DS} = -0.50$  V で最小 SS = 38 mV/dec と MOSFET の SS 最小物理限界 (60 mV/dec) を大きく下回る動作を実現することができた。また、急峻な SS はおよそ 4 桁維持でき、デジタル演算に必要な 5 桁の電圧ウィンドウは 0.35 V まで減少できることを示した。現在の MOSFET を基礎とした CMOS スイッチの電圧ウィンドウは 1.00 V 程度であるから、今回作製した低電圧素子によって、消費電力を 90%以上削減できる低電圧スイッチ素子を本研究で実現することができた。

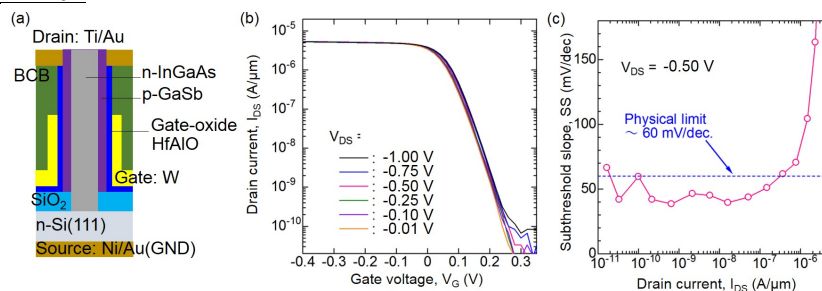


図2. (a) InGaAs/GaSb コアシェルナノワイヤ縦型トンネル FET 構造模式図、(b) 縦型トンネル FET の伝達特性、(c) サブスレッショルド係数とドレイン電流の関係

## 6. 研究の成果と結論、今後の課題:

本研究では、有機金属気相選択成長法による III-V 化合物半導体ナノワイヤの結晶成長と半導体ナノワイヤのデバイス応用について研究を行い、次に挙げる物理的・技術的な進展を達成した。(i) Sb 系ナローギャップ半導体の MOVPE 成長技術の確立、(ii) Si 基板上の InGaAs/GaSb, InAs/GaSb コアシェルナノワイヤ異種集積技術の最適化、(iii) InGaAs/GaSb コアシェル構造をトンネル接合界面とした縦型トンネル FET の試作と低電圧動作の実証

国内外の Sb 系化合物半導体結晶成長については、スイッチ素子特性は実用化に至るほど優れた例がない。これは、より高品質な結晶成長が確立されていないことが大きな要因であり、本研究では、これを MOVPE 選択成長技術によるナノワイヤ構造を用いることで、原子的に平坦かつ電子特性として機能性を発揮できる高品質なエピタキシャル成長膜を実現した。さらに、ナノワイヤ材料をテンプレートとして用いることで、高均一で平坦な Sb 化合物半導体ナノワイヤを異種集積し、図 2 に示すような新しい次世代低電圧スイッチ素子を実現した。

Sb 系化合物半導体ナノワイヤは、金属触媒を利用した Vapor-Liquid-Solid 法によるナノワイヤ形成の報告例と、マヨラナフェルミオンの初観察例があるものの、実用化に即して、任意のサイズを高均一に配列してシリコン基板上に集積する技術はないため、本研究課題を通して確立したナノワイヤ作製手法に優位性があるのではないかと考えている。また、論理回路では、低い電圧で高いオン電流を実現できるため、駆動電力の消費量を 9 割以上削減できる潜在性を実際にトンネル FET 素子を作製することによって実証した。これは、本研究で確立した Sb 化合物半導体ナノ構造が電子素子として機能するまで高性能化されていることを明示している。

今後は、全体研究計画の最終目標である As 系ナノワイヤと Sb 系ナノチューブ構造を同一の Si プラットフォーム上に集積し、Si-集積回路プラットフォーム上で InGaSb または GaSb と InAs ナノワイヤからなる CMOS 回路を縦型トランジスタ集積構造や、今回実現した新型トンネル FET を基軸とした新しいミリボルト CMOS の試作へと研究展開を図るとともに、高品質 Sb 系化合物半導体について、ナノ構造を高均一に作製し近年その存在が InSb ナノワイヤ材料内で発見されたマヨラナフェルミオンといった純粋物理、素粒子論にも新たな知見・貢献できるナノ構造の作製へと挑戦していきたい。さらに、マヨラナフェルミオンの制御によるロジック回路やスピン FET 回路への発展へ貢献する基盤技術へと展開を図っていきたいと考えている。

## 7. 成果の価値

### 7.1\_学術的価値:

本研究では、有機金属気相選択成長法による III-V 化合物半導体ナノワイヤの結晶成長と半導体ナノワイヤのデバイス応用について研究を行い、次に挙げる物理的・技術的な進展を達成した。(i) Sb 系ナローギャップ半導体の MOVPE 成長技術の確立、(ii) Si 基板上の InGaAs/GaSb, InAs/GaSb コアシェルナノワイヤ異種集積技術の最適化、(iii) InGaAs/GaSb コアシェル構造をトンネル接合界面とした縦型トンネル FET の試作と低電圧動作の実証を達成した。これにより、Sb 系化合物半導体材料のナノ構造化の観点から、結晶成長学、ナノ半導体物性工学への新たな知見を与えることができた。さらに、近年、その存在が明らかにされたマヨラナフェルミオン粒子の制御といった純粋物理・素粒子分野にも学術的に大きな貢献が期待できるナノ材料の創成を確立することができた。

### 7.2\_社会的価値:

半導体は産業の米とも言われる重要技術であるが、近年、低消費電力化が頭打ちになっている中、本研究成果によって、近年問題となっているリーク電流を大幅に抑制し、高性能な電流 ON/OFF の切り替え（スイッチ）の理論限界を回避する、高性能なトランジスタの実現可能性の開拓をすることができた。また、シリコンやゲルマニウムプラットフォーム上にナノワイヤ構造の III-V 族化合物半導体を、任意の位置・サイズで集積する新しい成長手法を確立できた場合、縦型トランジスタ構造で、III-V ナノワイヤを主軸とした超高性能論理回路を実現できるため、あらゆるエレクトロニクス分野の消費電力を 7 割以上削減できる抜本的な手法を提供することができる。さらに Sb 材料を用いた高感度フォトダイオードや CMOS 受光素子への技術展開も期待される。

### 7.3\_研究成果:

#### ・「研究論文」

1. A. Yoshida, K. Tomioka, F. Ishizaka, J. Motohisa, "Growth of InGaAs nanowires on Ge(111) by selective-area metal-organic vapor phase epitaxy" J. Cryst. Growth, Vol. 464, pp. 75 - 79 (2017)
2. Katsuhiro Tomioka and Takashi Fukui, "(Invited) Transistor application using vertical III-V nanowires on Si platform" ECS Trans., Vol. 80, pp. 43 - 52 (2017).
3. Kohei Chiba, Katsuhiro Tomioka, Akinobu Yoshida, and Junichi Motohisa, "Composition controllability of InGaAs nanowire arrays in selective area growth with controlled pitched on Si platform" AIP Advances, Vol. 7, pp. 125304 - 1~5 (2017)
4. Hironori Gamo, Katsuhiro Tomioka, "Selective-area growth of pulsed-doped InAs nanowires on Si and vertical transistor application" J. Cryst. Growth, Vol. 500, pp. 58 - 62 (2018)
5. Yusuke Minami, Akinobu Yoshida, Junichi Motohisa, Katsuhiro Tomioka, "Growth and characterization of GaAs nanowires on Ge(111) substrates by selective-area MOVPE" J. Cryst. Growth, Vol. 506, pp. 135 - 139 (2018)
6. K. Chiba, A. Yoshida, K. Tomioka, and J. Motohisa, "Vertical InGaAs Nanowire Array Photodiodes on Si" ACS Photonics, Vol. 6, pp. 260 - 264 (2019)
7. K. Tomioka, H. Gamo, J. Motohisa, "Vertical Tunnel FET Technologies using III-V/Si heterojunction" ECS Trans., Vol. 92, pp. 71-78 (2019).
8. H. Gamo, K. Tomioka, "Integration of Indium Arsenide/Indium Phosphide Core-Shell Nanowire Vertical Gate-All-Around Field-Effect Transistors on Si" IEEE Elec. Dev. Lett., Vol. 41(8), pp. 1169 - 1172 (2020)
9. Katsuhiro Tomioka, Junichi Motohisa, Takashi Fukui, "Rational synthesis of atomically thin quantum structures in nanowires based on nucleation processes" Scientific Reports, Vol. 10, pp. 10720-1~9 (2020)
10. Katsuhiro Tomioka, Fumiya Ishizaka, Junichi Motohisa, Takashi Fukui, "InGaAs-InP core-shell nanowire/Si junction for vertical tunnel field-effect transistor" Appl. Phys. Lett., Vol. 117, pp. 123501 - 1~5 (2020).
11. Katsuhiro Tomioka, Hironori Gamo, Junichi Motohisa, Takashi Fukui, "Vertical gate-all-around tunnel FET using InGaAs nanowire/Si with core-multishell structure" IEEE IEDM Tech. Dig. pp. 429 - 432 (2020). **他 5 編**

#### ・「国際会議発表」

1. Katsuhiro Tomioka, "Integration of III-V nanowires on Si and their transistor applications (Plenary)" 22nd International Conference on Advanced Materials, Rome, Italy, Dec. 10 - 12 (2018).
2. K. Tomioka, H. Gamo, J. Motohisa, "(Invited) Vertical Tunnel FET Technologies Using III-V/Si Heterojunction" 236th ECS meeting, Atlanta, USA, Oct. 13 - 17 (2019) **他招待講演 4 件、一般講演 30 件**

#### ・「受賞」

1. 2017 年 Material Research Society Symposium Best Paper Award (共同受賞)
2. 2017 年 公益財団法人 船井情報科学振興財団 第 16 回船井学術賞