

## 研究室訪問記 2015年度 矢崎学術賞 奨励賞

訪問日 2016年11月1日

東京工業大学 科学技術創成研究院 未来産業技術研究所 量子ナノエレクトロニクス研究コア

雨宮 智宏 助教

研究題名：メタマテリアルを利用した InP チップ上光無線受信器の創製

先生の所属は、東工大で現在進められている大学改革により、研究特化を目指して新設された科学技術創成院（IIR）の未来産業技術研究所(FIRST)の中に、量子ナノエレクトロニクス研究コアとして組織編成されたそうです。この研究コアは、光通信用のモジュールなどの光デバイスと、次世代トランジスタなどの電子デバイスの2つに特化しています。当日は先生の所属している荒井・西山研究室の3つの研究テーマの概要についてお聞きしました。1つは研究室のメインストリームであるLSIと光を融合したオンチップ光インターコネクションの研究、2つ目、3つ目は助成研究に関係し、2つ目は光学迷彩を実現するメタマテリアルを用いた有機薄膜材料の研究、3つ目はJST-CREST採択テーマである「待機電力ゼロ型フォトニックルータ（研究代表者：水本哲弥 教授・副学長）」に搭載するメタマテリアルを用いたSi導波路型光バッファの研究です。

先生の所属する研究室のコアテーマは、LSIと光の融合したデバイスですが、その背景にはプロセッサの高性能化があります。プロセッサの処理データ量と消費能力の関係は、世界の最先端のスーパーコンピュータの値をプロットすると、両対数軸で比例するように全部一つのラインに載るように漸近しています。これは基本的に電気を使っているため、1 GFLOPS/W（1Wで毎秒10億回の浮動小数点演算）のラインが限界になっているからで、これを同じ消費電力で1～2桁大きな処理速度のラインに載せるのが究極の目標です。そのためには、低消費電力で高速な情報処理ができればよく、電気信号は遅いのでLSIのプロセッサに光を導入して高速にするというのが研究のコンセプトです。材料を変えることは、LSIの人から見れば、実現を疑問視される程の難しさのようです。電気配線を光配線にする光インターコネクションの開発は、ボード内、インターポーザ内、オンチップと大きく3つのステップがあります。今まではラックの中は全部電気で行っていますが、ボードの直前までボード（ノード）間を光にするボード内光インターコネクションは実用レベルに達しており、徐々に導入が進み、10年後には20～30%位この方式になるかも知れません。ボード内光配線は、ポリマー導波路が非常に安く作れて無損失なので、これを用いた色々な方式があり、これは民間企業にて実用段階にあります。次のステップが、端子ピッチが異なるLSIチップとメイン基板を中継するインターポーザに光を導入するインターポーザ光インターコネクションです。これは、NEDOのプロジェクトとして、現在多くの企業、研究機関などが参画している技術研究組合光電子融合基盤技術研究所（PETRA）が進めているもので、主に政府のプロジェクトとして進められている研究です。そして最後が、光が導入できる限界、LSIの中の一番上の配線を光に変えるオンチップ光インターコネクションです。これが先生の所属する研究室のメインテーマで、30～40年後の実用化を目指している基礎研究です。

LSIのチップは、数億個のトランジスタの上に幾層もの銅・アルミの配線層で、一つのチップを構成していますが、その一番上の層を光にしようとするものが、オンチップ光インターコネクションです。近年、LSIの集

積度向上、微細化の進展により、配線による遅延時間の影響が無視できなくなってきました（LSI配線ボトルネック問題）。これは、チップの一番上の配線が律速になっているからで、グローバルな一番上の配線を全部光に置き換えることで、配線遅延をなくすことができます。これがLSI内の光配線技術の研究の動機です。光配線により、配線長に影響されなく、エネルギー消費が少なく、光ならではの多重化技術を使って大容量化でき、消費電力を下げられます。MIT、コロンビア大学なども、一番上の配線をどのようにネットワーク化すれば、処理を速くできるかを研究しており、大学の研究としてはコアテーマになっています。LSIの上に光回路を置いて、LSIで信号処理したものを光により別の所に落とすというコンセプトです。光スイッチ、光検出器、発光素子など、各チップに対して必要な性能を持つ光デバイスを作っています。LSIの一番上に、Ⅲ-V族半導体でできた光リンク、光回路、光集積回路を接合し、最上層だけ光リンクに切り換えます。プロセッサ内の最上層を光にするか、それともプロセッサを並列に置いたチップのプロセッサ間の配線を光にするのかで、大きく異なります。プロセッサを例えば8個並列に動かしたとき、クロックを同期する必要があり、その距離は1~5cmであるため、そこだけ光にするのは、20~30年後の姿として考えられます。現在メニーコアプロセッサになっており、コア間のクロックを光で送るのが最大限の理想の姿です。まずは、シリアル化された所から攻めるそうです。究極はLSIの中に光を入れることですが、確立されたCMOSプロセス、今だと10nmデザインの中で、光のプロセスを入れるのは至難です。Si-LSIにSi導波路を作れば、そこに光を通せますが、それでもシングルモードで、導波路としては大体200~500nmの幅が必要になります。それはトランジスタが30個位入ってしまう大きさなので、余りLSI近傍にそんな大きなものを入れることはできなく、最上層を光配線にすることになります。電気配線でも、クロック配線すらも遅延しないような研究がされており、電気と光のぶつかり合いです。ハーネスと似ています。LSI上に光を導入するとき電気配線に競合するために、1ビット当たりどれ位の消費電力にする必要があるか試算されており、その試算値を目標に開発しています。光変調器、光検出器など個々の素子の段階で、この試算値を超える性能自体が既に、世界の最高技術です。

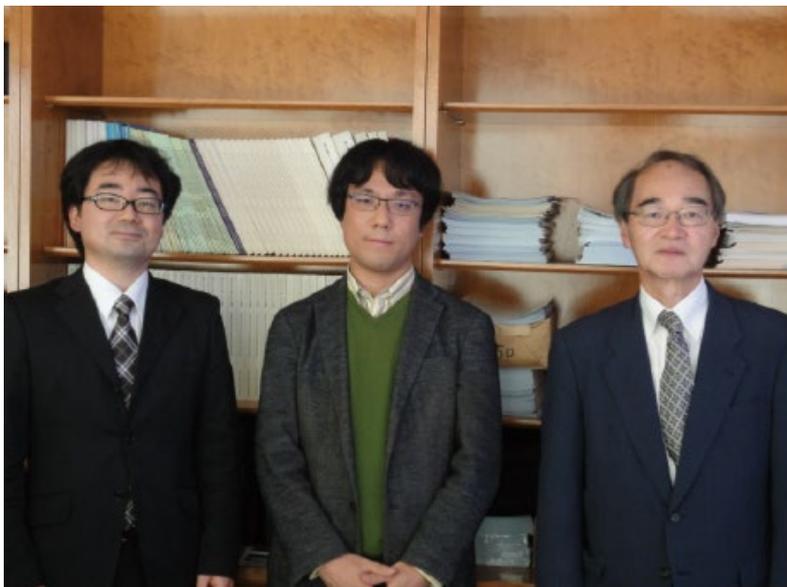
助成研究に係るメタマテリアルの研究は、三井化学と共同でメタマテリアルフィルムを開発しています。三井化学が開発した高耐熱性と高透明性を有するポリイミドを2 $\mu$ m位まで薄くして、その中に200nm程度の大きさの金属製の様々な形のメタマテリアルを並べたものが内包されています。このメタマテリアルフィルムを隆起した曲面に貼ることで、曲面に沿ってメタマテリアルを配置することが可能になります。また、フィルムなので重ね合わせができ、それにより3次元実装もできます。様々な誘電率と透磁率を持つフィルムを用いることで、屈折率変化を自由に制御でき、将来的には簡易的なテーブルトップ型の透明マントの実現が期待されます。

また、フィルム内のメタマテリアルの形状を変えることで、GHz帯から可視帯域で反射防止性、吸収性などの特性を変えることができます。メタフィルムの作製法は、基板上にポリイミド材を塗布、高温固化させた上に、PMMA材を塗布、電子線描画と蒸着リフトオフによりメタマテリアルを作り、再度ポリイミド材を塗布、固め、水中でフィルムを剥離します。GHz帯のような低周波用途では、コンタクト露光やレーザー直描で、大面積フィルムを短時間で作製できます。

最後はチップ化したフォトニックルータの開発です。バーストスイッチ、パケットスイッチをワンチップ化しようという研究です。フォトニックルータには光データを一時格納する光バッファ、光メモリが必要で、前者は一時格納用、後者は長期格納用です。この光バッファに、メタマテリアルによる光の遅延を利用することが

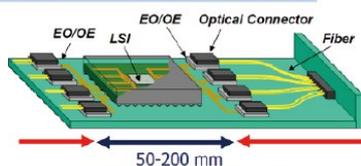
先生の研究です。既存の材料系において、導波路の中にメタ材料を導入することを考え、従来のSiコアとSiO<sub>2</sub>の両クラッドの片側のクラッドをメタ材料層にします。その誘電率と透磁率を負にすると、光が戻りますので遅延が起こり、光バッファになります。電子線描画により、Si導波路を作り、その上にきちんとメタ材料を並べることで初めて、正確な遅延時間の制御機能ができます。現在5年のプロジェクトが始まった所です。

電子デバイスと光デバイスの融合により、謂わばフォトエレクトロニクス産業の勃興を夢みた訪問でした。  
(2016年11月1日、技術参与・飯塚)



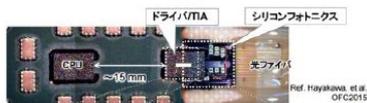
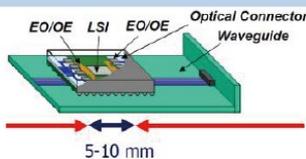
中央が雨宮先生

ボード内光インターコネクション



Intel

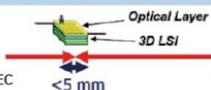
インターポーザ内光インターコネクション



Fujitsu

Ref. Hayakawa et al. OFC2015

オンチップ光インターコネクション

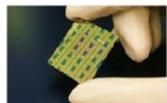


Ohashi et al, NEC



PETRA  
東大

光回路



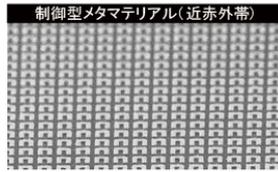
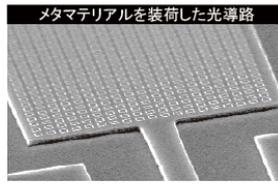
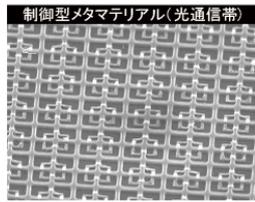
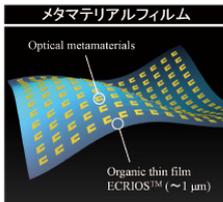
東工大

電気配線から光配線へ:短距離間伝送のための光

## メタマテリアルを用いた光デバイスの開発

- 半導体キャリアを利用したメタマテリアルの制御<sup>[1][3]</sup>
- 透磁率制御による光集積デバイス: ~7dB<sup>[2][3]</sup>
- メタマテリアルフィルム<sup>[4][5]</sup>

- [1] S. Myoga *et al.*, JOSA B **29**, 2110 (2012).  
[2] T. Amemiya *et al.*, Optics Lett. **37**, 2301 (2012).  
[3] T. Amemiya *et al.*, Sci. Rep. **5**, 8985 (2015).  
[4] T. Urakami *et al.*, Japanese patent application No. 2016-055866.  
[5] T. Amemiya *et al.*, 応用物理 **86**, 501 (2016).



## 集積フォトニクスとメタマテリアルの融合