

訪問日 2016年8月31日

大阪工業大学 工学部 電気電子システム工学科 木原 崇雄 特任講師

研究題名：IoT 向け無線受信機のデジタル化を可能にする RF 直接サンプリング A/D 変換器の
開発

当日は研究内容を紹介したプレゼン資料を用意していただき説明を受けました。自己紹介、背景、目的とその位置づけ、研究項目、進捗状況と順序建てて、我々が理解しやすいような配慮を感じました。先生は大阪大学で博士号取得後、ルネサスエレクトロニクスに入社、5年後の2014年4月に現職に就きました。その間一貫して集積回路の研究に携わってきたとのこと。ルネサス在職中には、主に携帯電話や、Bluetooth Low Energy (BLE) 向けの CMOS RF トランシーバーの研究開発に従事していたそうです。大学に来てからは、今回の研究に関連する RF 直接サンプリング A/D 変換器を研究しています。

研究の背景です。IoT(Internet of Thing)、全てのものが無線でつながるような社会の実現には、あらゆる機器が無線機能を持ち、そのための集積回路には、電池で何年も動くため低消費電力化、低価格化が非常に強く求められています。その一方で、無線の規格を決めている各アライアンスが独自の無線規格を設定、BLE は周波数が 2.4GHz、データ速度は 1 Mbps で、ZigBee はセンサ向け無線規格で、2.4GHz、900MHz を使っています。他にも IEEE802.11ah、Narrow Band LTE などがあり、それぞれ独自の規格で IoT 社会の主導権を握ろうとしています。こういう規格に対応しようと思うと、半導体メーカーとしては、それぞれの規格に応じたチップを個別に開発する必要があり、人と時間が掛かり、価格を抑えることが困難で、普及の妨げになっているとのこと。

なぜ無線 IC を個別に作るかですが、従来のアナログ RF 受信機の構成に由来し、それは、LNA(Low Noise Amplifier)で非常に小さい電波を増幅し、Mixer 回路で周波数を落とし、不要な周波数成分をカットし、振幅を整えて、最後に A/D 変換器(ADC)でデジタル信号に変えています。A/D 変換前は、全て高周波の処理が RF 信号で行われています。先生の経験でも LNA と Mixer は難しく、シミュレーションが難しい領域のようです。この難しい回路構成を使うのは、今までの設計資産を使えることと、作り込みを一つ一つしていくので、消費電力が小さくなることです。BLE の用途で、最先端のデータでは大体 mW と小電力で動作させています。しかしアナログ回路主体ですので、全て人の手で設計していく必要がありますので、前述のような大きな問題があります。そこで、この研究のデジタル RF 受信機は、ADC を LNA のすぐ後に置き、デジタル回路を主体とする構造にします。ただ、ADC を数 GHz サンプリング(GS/s)と高速で動かすには、報告されている限り、40mW と消費電力が大きいのが現状です。前述のアナログ回路主体だと、全体でも 6mW 程度だったのが、ADC だけで 40mW となり、商品になりません。この研究では、消費電力 6mW で、9.6GHz でサンプリングする ADC を実現するものです。9.6GS/s の根拠は、ADC の特性として、扱う周波数の 2 倍以上で受けることと言われており、それにマージンを足したものです。例えば BLE の扱う周波数は、2.4GHz ですので、その 2 倍、マージンを足して 9.6GS/s としました。サンプリング周波数を大きくすると消費電力が大きくなってしまいます。FOM という ADC の分野でよく使われる評価指標で、発表されている ADC の特性を比較します。FOM は、ADC の消費電力を、受ける信号の周波数帯域で割って、更に ADC の分解能、どれだけデジタルに分解できるかという有効ビットで割った値です。FOM は小さい方が、ビット数当たりの消費電力が小さくなり、特性が良いです。横軸はバンド帯域です。このチャートにこの分野で権威がある論文誌、著名な国際学会で発表されたデータをプロットします。一番 FOM が小さいのは前述の消費電力

40mW のデジタルの ADC ですが、バンド帯域が 20MHz、30MHz 位と広く、用途が異なります。IoT 向けの信号帯域は、データ速度が遅いので帯域も狭くでき 1~5MHz 程度ですが、その代わり低消費電力での動作が求められます。そこで、バンド帯域が狭く、更に効率の良いものを狙い、IoT 向けの無線規格で使用が想定される 5MHz 以下の狭帯域信号に対して、デジタル RF 受信機として 12 ビットの分解能を 6mW の電力で実現するという目標を建てました。この目標は、FOM に換算すると 0.15 で、トップデータになります。

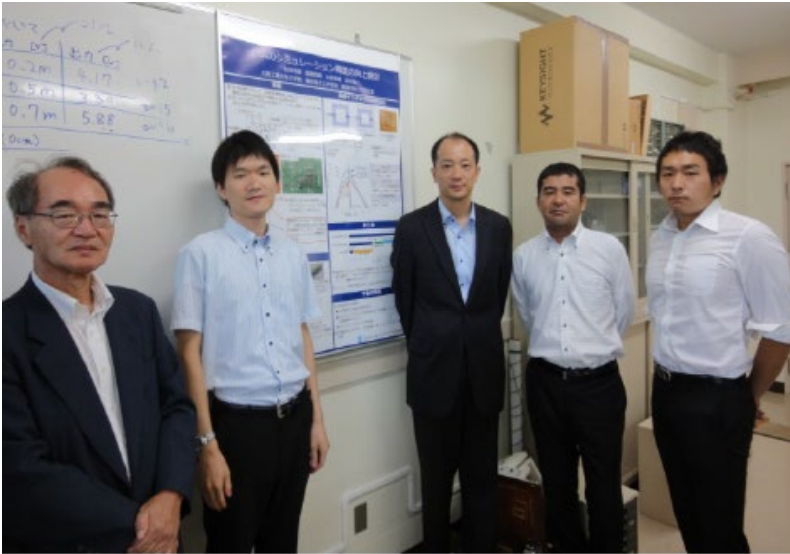
次は実現の手段ですが、三つあります。目的は、相反する高速動作と低消費電力動作を両立させる ADC の開発です。一つ目の手段は、一般的な ADC の構成にはない VCO (電圧制御発振器) 回路素子の導入で、電圧によって出力の発振周波数を変えるためです。従来の VCO 回路素子のバルク端子から電圧制御します。CMOS インバータを環状に接続することで VCO を構成し、入力電圧変化を周波数変化に変換し、後のレジスタと XOR ゲートでその周波数変化を量子化させます。010101... で電圧信号が発振、その発振速度が発振周波数になります。二つ目は、回路自体の電源電圧をこれまでで最も低い 0.55V で動作してやることです。三つ目は、SOTB (Silicon on Thin Buried Oxide) を使うことです。SOTB は、完全空乏型 Silicon on Insulator (FD-SOI) と呼ばれる絶縁膜上に、薄膜シリコンを積層する基板構造です。

一つ一つ説明します。ADC の構成として 4 つの ADC をパラレルに並べ、順番に動作させるインターリング構成にし、サンプリング速度 9.6GS/s を 4 分割、それぞれを 2.4GS/s にし、1 つの ADC の速度を下げます。一個の ADC は VCO と、VCO から出るパルスをカウントするデジタル回路から構成されます。従来の高速 ADC はフラッシュ型ですが、これの問題点は、比較器で比較しているのは全てアナログ回路であることと、電圧振幅を小さくすると分解能が低下するため、低電圧に適しません。一方、VCO を使うと、制御電圧に応じて発振周波数が増減し、入力振幅に応じて出力の波の数が変わります。この波の数を数えることで、入力のアナログ信号をデジタル信号に置き換えることができます。VCO だけがアナログ回路で、他は全てデジタル回路で、また VCO は 0.55V と非常に低電圧で動き、研究の目標に合致します。SOTB は、半導体のドーパント濃度で決まるトランジスタの ON、OFF の閾値の電圧のバラツキを小さく制御でき、閾値電圧を下げるすることができます。そこで、バルク端子より閾値電圧を制御でき、電圧を上げると閾値電圧は下がり、これを積極的に利用します。また、従来ですとトランジスタとシリコン基板間にキャパシタ容量があり、動作速度が制限されますが、今回絶縁膜がありますので、この寄生容量を低減でき、高速動作が可能になります。

次は研究の進展状況です。VCO を設計し、半導体メーカーにチップの製作を依頼しました。シミュレーション上では、バルク電圧を変えると、VCO の発振周波数が 400~620MHz まで変化するのを確認しています。そこで、この周波数の変化によって、入力信号は BLE を想定して 2.4GHz としたとき、ADC としての分解能がどの位になるかを MATLAB/Simulink を使って数値シミュレーションしてみました。出力の電圧信号と雑音の SN 比が、目標とする 5MHz 帯域で 81.48dB という結果を得、ビット換算で 13 ビットになります。この VCO を使用した ADC でも目標の 12 ビットが達成されることを確認しています。今後は、VCO 以外の残りの回路設計を行い、ADC 全体の動作検証とチップの試作を進めていくとのことです。

半導体メーカーでの実務の経験を生かした開発の進め方に親近感を覚えた訪問でした。

(2016年8月31日、技術参与・飯塚)



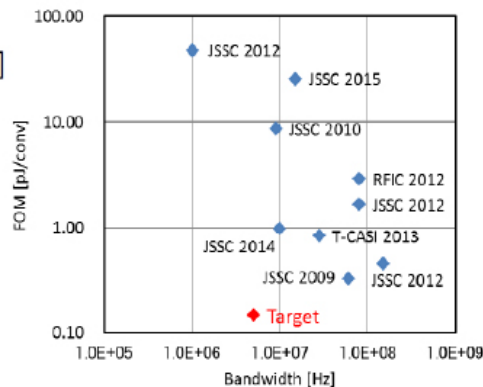
左から2人目が木原先生

位置づけ

変換効率

$$FOM = \frac{P_{DC}}{2BW \cdot 2^{ENOB}} \text{ [pJ/conv]}$$

P_{DC} : 消費電力 [W]、
 BW : 信号帯域 [Hz]、
 $ENOB$: 有効ビット数



- ▶ 10 MHz 以上の広帯域信号で 1 pJ/conv 以下の効率を得ているが (JSSC 2009)、消費電力が大きい (40 mW)
- ▶ IoT 向け無線通信で使用されている 5 MHz 以下の狭帯域信号で、12 ビット分解能を 6 mW で得る (約 0.15 pJ/conv)

研究項目

9.6 GS/s、12 ビット、6 mW 動作の A/D 変換器の開発

以下の実施により、A/D 変換器の高速動作と低消費電力動作を両立

1. バルク電圧制御発振器 (VCO) を用いた構成
2. 低電源電圧 (0.55 V) 動作
3. 65 nm SOTB (Silicon-on-Thin-Buried Oxide) CMOS プロセスによる作製

